

NPSC 神经网络并行仿真计算机*

徐乃平 李孝安 张 力 戴冠中

(西北工业大学计算机系·西安, 710072)

摘要: 本文介绍一种新研制成功的 NPSC 神经网络并行仿真机的结构特点, 系统软件, 性能测试结果及一些仿真算例.

关键词: 神经网络; 并行处理; 仿真计算机

1 引言

人工神经网络不同于传统的计算机, 在结构上有一系列特点. 它的处理是非线性的, 由大量的处理单元并行互连, 组成多层前向非线性映射网络或带反馈的多输入多输出非线性动力学网络, 在这种网络中进行群体的集合运算. 而且它的信息是以连接权系数形式分布记忆的. 这一系列结构上的特点使人工神经网络在功能上具有新的特点. 它具有自组织自学习能力, 有联想记忆及自寻优能力, 而且有快速反应, 强容错能力. 它还能对模糊的, 不完整的, 变形的信息有识别能力. 又由于网络模型及算法的多样化, 使它的功能还在不断增加. 因此神经网络吸引着国内外大量研究者.

在人工神经网络研究中, 探索着快速有效的学习算法, 研究非线性动力学系统的全局特性, 研究各种算法的收敛性, 稳定性, 研究各种新颖网络模型的功能, 研究各种网络的各种应用. 这都需要有一个硬件的研究平台及相应的软件环境.

这一研究平台应具有高速处理能力, 大容量记忆能力, 及快速通信能力. 作为神经网络计算机或仿真机, 有如下三种方式:

- 第一种是研制神经网络芯片.
- 第二种是在高速通用机上作全软件仿真.
- 第三种是以高速并行计算机作为仿真机, 它以并行处理、高速通信等从硬件上直接支持人工神经网络计算. 又以并行系统软件灵活地适应多种多样的神经网络模型及算法的仿真.

本文介绍的就是第三种神经网络并行仿真机. 这就是我们所研制成功的 NPSC 神经网络并行仿真机.

2 系统结构

作为一种通用并行计算机, NPSC 在系统结构上有如下特点:

1) 由控制机和并行机组合成系统

控制机为 PC286 或 386 机. 它负责全系统的管理. 全系统的操作系统, 开发系统及并

* 国家自然科学基金和航空科学基金资助项目.

本文于1992年8月6日收到.

行机的 C 语言编译器驻留在控制机中. 控制机作为人机交互界面, 用于控制及管理全系统工作.

高速计算由并行机承担. 它由 10 块并行处理器插件板组成. C 语言在控制机中编译成并行处理器的机器码后加载到各并行处理器插件, 然后启动工作. 工作过程由控制机管理.

这样将系统高速与低速部分分开, 可以大大简化系统软硬件的设计. 一方面保留了 PC 机的全部通用功能, 又可充分发挥并行机的高速计算能力.

2) 高速并行处理机

NPSC 是由 10 块 TMS320C25 (以下简称 C25) 数字信号处理器芯片构成的并行处理器插件组成. 其系统结构如图 1 所示.

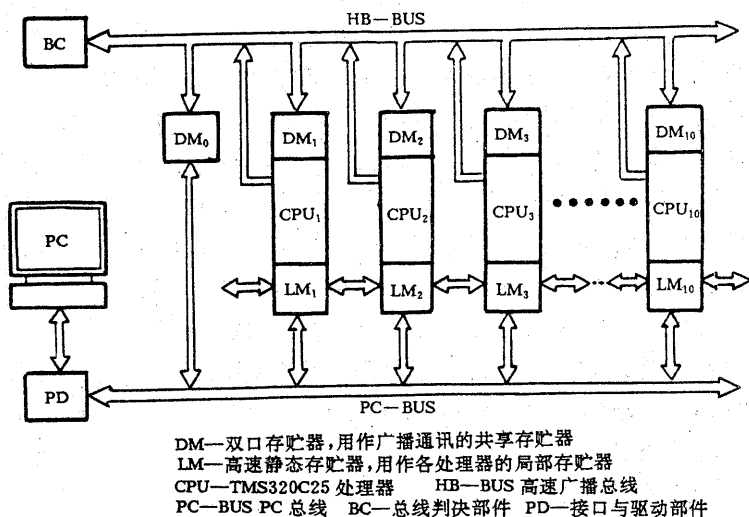


图 1 NPSC 神经网络并行仿真机系统结构

并行机主要功能是高速计算. 因此我们不是选择功能较全而速度较慢的微处理器芯片. 而是选择计算速度达每秒 1 千万次定点运算的数字信号处理器芯片 (DSP) 作为并行机的处理器. 这就是美国德克萨斯仪器公司的数字信号处理器 TMS320C25. 10 片并行工作峰值计算速度可达每秒 1 亿次定点运算. 每片 C25 的零等待存储空间为 128K 字节程序存储器与 128K 字节数据存储器. 而且通过输入输出可以进一步扩展. 并行机的结构又为其模块性, 扩展性, 及容错性提供了条件.

选择并行机处理器的另一个要考虑的因素是它是否支持多处理器并行工作. C25 处理器支持多机并行工作的同步通信及流水线通信.

3) 广播通信及流水线通信

作为通用并行机, 要求有三种通信方式

- 流水线通信方式. 这常用于成批数据的逐级传送通信.
- 广播方式. 它使一个处理器的几个或成批输出数据同时送到所有处理器.

• 随机通信. 这是各处理器之间或处理器与控制机之间少量数据或控制信号之间通讯. 它也可用于控制机对各处理器进行程序加载.

从支持神经网络仿真而言. 需要在各层神经网络之间将一层的输出作为下一层的输入, 也需要将一个神经元的输出作为所有其它神经元的输入; 神经网络程序的加载, 数据的输入输出, 仿真中的控制都需要随机通信. 因此上述三种通信方式有力地支持了神经网络的并行仿真.

在 NPSC 中, 通过高速广播总线(HB-BUS)使一个处理器的输出广播式地同时写入各处理器中作为分布式共享存贮器的双口存贮器(DM)中, 实现了广播式通信. 在高速广播总线中发生竞争时, 由总线判决部件(BC)根据请求先后判决. 在 NPSC 中, 利用 C25 能通程序将它局部存贮器(LM)的一部分变为全局存贮器, 即变为另一处理器可直接存取的存贮器而实现相邻处理器之间的流水线高速通信. 各处理器之间点对点的随机通信或与控制机交换信息是通过 PC 总线由中断控制实现的. 由于这种通信只有很少数据或是在事前事后进行的, 因此 PC 总线的低速性能并不影响并行机高速处理能力.

伴随着通信有一个通信同步问题. 即某一处理机需要的数据是另一处理机计算结果, 而当它需要时这一结果尚未得到, 这时该处理器必须等待, 以保证取得所需数据继续进行处理. 另一方面当某一处理机算得的结果要送到别的处理器中时, 必须由别的处理器接收, 或共享存贮器中有空单元可存放. 在 NPSC 中除了可采用各种全软件同步算法外, C25 还提供了外部标志输出端 XF, 分叉控制输入端 BIO, 保持 HOLD 及保持响应 HOLDA, 就从硬件上支持了通信同步中询问, 识别, 等待, 继续等功能. 在 NPSC 中另一种硬件支持的通讯同步是在用作广播式共享存贮器的各处理器双口存贮器中增加 8 位同步识别位, 在信号广播时同时送出标志信号, 然后各处理器根据标志信号决定取数或等待. 这两种硬件支持通信同步加速了通讯.

4) 多机系统的数据一致性

在多机系统中, 并行工作的各处理器都有自己的局部存贮器. 并行处理中必须保证同一变量在各局部存贮器中的数据是一致的. 否则在计算、输入输出或任务调度中会出现错误. 在 NPSC 中, 采用分布式双口存贮器作为共享存贮器, 而且以广播方式工作. 所以只需把所有共享变量都放入共享存贮器同一区域内, 由广播方式使它们同时改变, 保证了各处理器中共享变量的数据一致性.

3 并行系统软件

从使用观点考虑, 并行机必须要有方便的软件环境, 才能为用户所接受. 由于并行系统软件与并行计算机的系统结构密切相关. 而并行机的系统结构又是各式各样的, 因此并行机系统软件也是各式各样的. 故在并行机设计的同时, 必须研制相应的并行软件.

NPSC 中是在 PC 机的操作系统, 开发环境, 及 C25 的 C 编译器(驻留在 PC 机中)基础上研制并行系统软件, 而不是重新开发. 这就大为简化了并行系统软件的研制.

并行系统软件要解决任务的分配、调度及同步通讯问题. 它还应使用户能方便地进行程序的编译, 加载, 检查及调试等工作. 在 NPSC 中, 在 PC 机及 C25 系统软件的基础上分为三个层次提供并行系统软件. 如图 2 所示.

1) 并行开发系统

这包括并行加载(PLOAD), 并行检查与测试(PTEST), 并行调试(PDEBUG)等. 使用户能在并行机上进行任务分配, 同步通讯等, 并能把编译好的 C 语言程序加载到各个处理机中, 对并行机进行测试, 对并行机中程序进行调试等.

2) 并行 C 语言编译器

C25 已提供了单处理器的 C 语言编译器. 在这基础增加任务分配及调度语句, 通信语句及同步语句, 并研制了相应的补充编译器, 就成为并行 C 语言编译器. 这编译器仍驻留在 PC 控制机中.

3) 自动开发并行性的 C 编译器

这是完全对用户透明的 C 编译器. 用户可以认为面对的是传统的串行计算机, 按串行机用 C 语言编写程序. 然后由“自动开发并行性的 C 编译器”自动分析程序的控制流及数据流的相关性, 然后自动地进行任务分配、调度, 安排通信及同步, 然后进行并行处理.

另外, 考虑到已经有长期积累下来丰富的串行机上运行的应用程序, 为了移植到并行机上, 也要有自动开发并行性的编译器.

4) 并行界面

作为并行开发集成环境(PCC), 提供给用户以窗口及菜单形式的并行界面, 使用户使用方便.

4 测试结果

经专家组对 NPSC 实际测试结果: 峰值计算速度达每秒 1 亿次定点运算. 程序存储器容量为 1.28 兆字节, 数据存储器容量也为 1.28 兆字节. 用 C 语言作浮点运算时速度为 PC386 机的 56 倍. 连续工作 12 小时未发生故障.

由上述结果可以推算, 当它用作神经网络仿真机时, 连接权数为 64 万个. 若按每个神经元平均与 30 个神经元连接计算, 可仿真 2.1 万个神经元. 若按如下公式计算神经元的输出 y_j 及权系数的修正值 w_{ji}

$$y_j = f\left\{\sum_{i=1}^n w_{ji}x_i - \theta_j\right\},$$

$$w_{ji}(t+1) = w_{ji}(t) + \eta[d - y_j(t)]x_i,$$

$$f(x) = \frac{1}{1 + e^{-x}}.$$

当取 $n=30$, $f(x)$ 采用表格函数直接查表方式, 则可算得 NPSC 每秒可计算 300 万个输出或作 2000 万次权值修正.

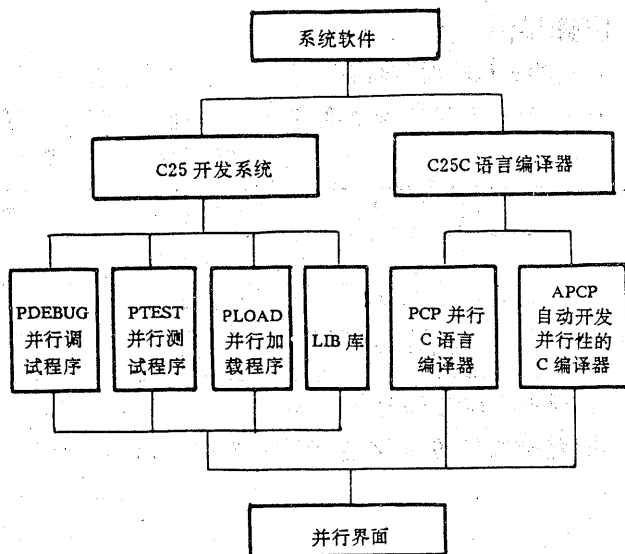


图 2 NPSC 神经网络并行仿真机系统软件

5 仿真举例

我们用 NPSC 对神经网络作了若干仿真计算,结果如下:

1) 用 HOPFIELD 网络实现 4 位 A/D 转换. 测试结果见表 1.

表 1 4 位 A/D 转换仿真计算时间测试结果

处 理 机	运行时间(ms)	加 速 比	效 率
PC/AT	35,370		
1个 C25处理器	3,080		
4个 C25处理器	1,210	2.545	63.63%

2) 用神经网络作矩阵的 LU 分解

设 4 阶病态矩阵 A. 用神经网络方法求其 LU 分解.

$$A = \begin{bmatrix} 0 & 0.7 & 0.8 & 0.5 \\ 0 & 1.5 & 0.3 & 0.1 \\ 0 & 0.5 & 1.3 & 0.9 \\ 0 & 0.5 & 0.6 & 1.4 \end{bmatrix},$$

测试结果见表 2.

表 2 4 阶矩阵 LU 分解仿真计算时间测试结果

处 理 机	运行时间(ms)	加 速 比	效 率
PC/AT	38,940		
1个 C25处理器	1,590		
4个 C25处理器	550	2.89	72.27%

3) 用 RBF(Radial Basis Function)网络作系统辨识.

设被辨识对象为一非线性系统

$$y_r(k+1) = \frac{1 - y_r(k)}{1 + y_r^2(k)} u(k).$$

测试结果见表 3.

表 3 非线性系统辨识仿真计算时间测试结果

处 理 机	运行时间(ms)	加 速 比	效 率
PC/386	698,320		
1台 C25处理器	112,040		
2台 C25处理器	61,790	1.813	90.66%
5台 C25处理器	25,160	4.453	89.06%
10台 C25处理器	13,080	8.566	85.66%

6 结 论

NPSC 是在系统结构上支持神经网络并行仿真的通用并行计算机. 峰值速度达每秒 1 亿次定点运算. 该系统是在国家自然科学基金及航空科学基金支持下研制的. 并已于 1992

年6月通过由航空航天工业部组织的专家鉴定会的鉴定。鉴定结论是:作为神经网络仿真计算机,NPSC 具有通用性强、速度快、支持神经网络的规模大,性能/价格比高等优点。达到国际同类系统的先进水平,在国内处于领先地位。

参 考 文 献

- [1] Shun-Ichi Amari. Mathematical Foundation of Neurocomputing. Proceedings of the IEEE, Set. , 1990, 78(9):1442—1462
- [2] 奥川峻史. 并列计算机アーキテクチセ. 日本コロナ社. 1991, 25—55
- [3] Zhao Xiaoming and Xu Naiping. A Neural Network Architecture and Learning Algorithm for Matrix Computation (I) (II). The Second IEEE Symposium on Parallel and Distributed Processing, 1990

NPSC Neural Network Parallel Simulation Computer

XU Naiping, LI Xiao'an, ZHANG Li and DAI Guanzhong

(Department of Computer, Northwestern Polytechnical University·Xi'an, 710072, PRC)

Abstract: In this paper, Neural-Network Parallel Simulation Computer (NPSC for short), which is developed by our group, is proposed. Its structure, system software, performance test and some simulation examples are described in detail.

Key words: neural network; parallel processing; simulation computer

本文作者简介

徐乃平 1935年生. 1963年毕业于哈尔滨军事工程学院, 1991年为西北工业大学计算机系教授, 主要从事并行处理与并行计算机, 非线性科学研究. 主要著作有“现代数字信号处理”, “并行处理与并行计算机”,

李孝安 1968年生. 1989年毕业于西北工业大学, 1990年获计算机应用硕士学位, 1992年晋升为讲师. 主要从事并行计算机, 神经网络研究.

张 力 1958年生. 1984年毕业于西北工业大学, 1988年获控制理论和应用硕士学位. 现为航空部615所高级工程师. 主要从事计算机研究.

戴冠中 见本刊1993年第1期第12页.